



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Manger Docket No.: INF-131
Serial No.: 10/765,910 Art Unit: 2812
Filed: January 29, 2004 Examiner: TBD
For: FinFET Device and Method of Fabrication

Mail Stop: Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Transmittal of Certified Copy of Priority Document

Dear Sir:

Attached please find a certified copy of the foreign application from which priority is claimed for this case:

Country: Germany
Application Number: 103 03 771.3
Filing Date: January 30, 2003

Respectfully submitted,



Ira S. Matsil
Reg. No. 35,272
Attorney for Applicant

Slater & Matsil, L.L.P.
17950 Preston Rd., Suite 1000
Dallas, TX 75252
Tel: 972-732-1001
Fax: 972-732-9218

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 03 771.3

Anmeldetag: 30. Januar 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Stegfeldeffektransistor (FinFet) und Verfahren
zur Herstellung von Stegfeldeffektransistoren

IPC: H 01 L 21/336

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.

München, den 29. Januar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Hintermeier

A 9161
02/00
EDV-L

MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte:	12440	Ko/Kg/gu
Anmelderzeichen:	2002P50306 DE (2002 E 50305 DE)	30.01.2003

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

**Stegfeldeffekttransistor (FinFet) und Verfahren
zur Herstellung von Stegfeldeffekttransistoren**

Beschreibung

Stegfeldeffekttransistor (FinFet) und Verfahren zur Herstellung von Stegfeldeffekttransistoren

5

Die Erfindung betrifft ein Verfahren zur Herstellung von Stegfeldeffekttransistoren auf einem Substrat sowie einen Stegfeldeffekttransistor.

Stegfeldeffekttransistoren (im Folgenden auch FinFets) sind eine seit längerem bekannte Alternative zu planaren oder vertikalen Feldeffekttransistorstrukturen für Anwendungsbereiche, die Feldeffekttransistoren mit Kanallängen (device length) von weniger als 100 nm erfordern.

15

In der Figur 1 ist ein Stegfeldeffekttransistor vereinfacht dargestellt. Auf einem Substrat SUB ist ein Steg F aus einem Halbleitermaterial ausgebildet. Der Steg F wird in einem Abschnitt Ch von drei Seiten von einer Gateelektrodenstruktur G eingehüllt. Zwischen der Gateelektrodenstruktur G und dem Steg F ist mindestens im Abschnitt Ch ein in der Figur nicht dargestelltes Gatedielektrikum angeordnet. An den Abschnitt Ch des Stegs F schließen beiderseits Source/Drain-Bereiche S/D, S/D' an. In dem dargestellten Beispiel erweitern sich die Source/Drain-Bereiche S/D, S/D' an beiden Kopfenden des Stegs F, um eine Kontaktierung der Source/Drain-Bereiche zu erleichtern. Daneben sind noch weitere FinFet-Strukturen bekannt, die sich in der Ausbildung der Source/Drain-Bereiche sowie des Steges unterscheiden. Bekannt ist es beispielsweise auch, dass zwischen zwei korrespondierenden Source/Drain-Bereichen eines Stegfeldeffekttransistors mehrere Stege parallel zueinander ausgebildet sind.

Kennzeichnendes Merkmal von Stegfeldeffekttransistoren ist, dass bereits bei einer niedrigen Gatespannung Majoritätsträger in hohem Grade aus einem Kanalbereich (im Folgenden auch aktives Gebiet), in dem sich im durchgeschalteten Zustand des

5 Stegfeldeffekttransistors ein leitfähiger Kanal ausbildet, entfernt werden. Damit wird im nicht durchgeschalteten Zustand des Stegfeldeffekttransistors ein parasitärer Fluss von Ladungsträgern zu bzw. von den Source/Drain-Bereichen und damit ein Leckstrom über das aktive Gebiet reduziert. Von herkömmlichen planaren und vertikalen Feldeffekttransistorstrukturen bekannte nachteilige Kurzkanaleffekte (short channel effects) treten in geringerem Umfang auf.

Nachteilig an bekannten Konzepten zur Herstellung von Stegfeldeffekttransistoren ist insbesondere, dass die Stegfeldeffekttransistoren gegenüber herkömmlichen planaren oder vertikalen Feldeffekttransistorstrukturen in - bezogen auf die Kanallänge - nur einer relativ geringen Packungsdichte angeordnet werden können. Dies ist insbesondere nachteilig bei einer 15 Anwendung der Stegfeldeffekttransistoren als Auswahltransistoren von kapazitiven Speicherzellen.

Aufgabe der vorliegenden Erfahrung ist es daher, ein Verfahren zur Herstellung von Stegfeldeffekttransistoren zur Verfügung zu stellen, das gegenüber herkömmlichen Konzepten eine 25 höhere Packungsdichte der Stegfeldeffekttransistoren ermöglicht. Aufgabe der Erfahrung ist es ferner, einen Stegfeldeffekttransistor zur Verfügung zu stellen, der sich in hoher Packungsdichte anordnen lässt.

30 Diese Aufgabe wird erfahrungsgemäß durch das im Patentanspruch 1 angegebene Verfahren sowie durch den im Patentanspruch 18 angegebenen Stegfeldeffekttransistor gelöst.

Gemäß dem erfindungsgemäßen Verfahren zur Herstellung eines Stegfeldeffekttransistors bzw. einer Anordnung von Stegfeldeffekttransistoren wird also zunächst mittels eines ersten Lithographieschrittes auf einem Substrat mindestens ein Ur-

5 steg aus einem Halbleitermaterial vorgesehen. Im Folgenden wird entweder durch Aufwachsen oder durch Abscheidung mindestens auf den Längsseiten des Steges eine Gatedielektrikums-
schicht vorgesehen. Über der Gatedielektrikumsschicht wird
10 eine Gateelektrodenschicht aus einem leitfähigen Gateelektrodenmaterial angeordnet. Mittels eines zweiten Lithographieschrittes werden Kontaktgräben in den Ursteg eingebracht, durch die der Ursteg in einer Längsrichtung strukturiert wird. Dabei geht aus dem Ursteg mindestens ein Transistorsteg mit einem ersten und im Abstand einer Steglänge dazu mit ei-
15 nem zweiten Kopfende, aus der Gatedielektrikumsschicht ein dem Transistorsteg zugeordnetes Gatedielektrikum und aus der Gateelektrodenschicht eine dem Transistorsteg zugeordnete Ga-
teelektrode hervor. Die Gateelektrode wird nun von beiden
Kopfenden her zurückgebildet, so dass sie sich über eine
20 steuerbare Kanallänge entlang der Längsseiten des Transistor-
stegs erstreckt. Im Transistorsteg wird vom ersten Kopfende her ein erster Source/Drain-Bereich und vom zweiten Kopfende her ein zweiter Source/Drain-Bereich ausgebildet, wobei zwi-
schen den beiden Source/Drain-Bereichen im Transistorsteg ein
25 aktives Gebiet mit einer geometrischen Kanallänge verbleibt.
Schließlich wird durch ein Anfüllen der Kontaktgräben der erste Source/Drain-Bereich mit einer ersten Source/Drain-
Kontaktstruktur und der zweite Source/Drain-Bereich mit einer zweiten Source/Drain-Kontaktstruktur verbunden.

30

Gemäß dem erfindungsgemäßen Verfahren erfolgt also eine end-gültige Ausbildung der Gateelektrode bezogen auf die Sour-
ce/Drain-Kontaktstrukturen, bzw. die Ausbildung von Sour-
ce/Drain-Kontaktstrukturen selbstjustiert zur Gateelektrode.

Der Abstand zwischen der Gateelektrode und den Source/Drain-Kontaktstrukturen ist unabhängig von einem Lithographie-

schritt. Damit kann auch eine Reserve, die eine maximale li-

thographiebedingte Abweichung des Abstandes berücksichtigt,

5 gegenüber herkömmlichen Verfahren, bei denen in der Regel die Source/Drain-Kontaktstrukturen in einem von der Gateelektrode unabhängigen Lithographieschritt erzeugt werden, deutlich re-

duziert werden. Bezogen auf eine gleiche Kanallänge kann der Abstand zwischen der Gateelektrode und den Source/Drain-Kon-

20 taktstrukturen deutlich kleiner vorgesehen werden. Eine Mehrzahl benachbarter Stegfeldeffekttransistoren lässt sich so in einer höheren Packungsdichte anordnen.

Werden mittels des ersten Lithographieschrittes eine Mehrzahl 15 nebeneinander angeordneter und parallel verlaufender Ursteg ausgebildet, so wird vor der Ausbildung der Gateelektroden die Gateelektrodenschicht in einer Weise vorstrukturiert, dass die Gateelektrodenschicht jeweils in einem Bodenbereich von zwischen den Urstegen ausgebildeten Gräben in voneinander 20 separierte Abschnitte geteilt wird. Dabei wird jedem Ursteg ein isolierter Abschnitt der Gateelektrodenschicht zugeordnet. Auf diese Weise wird die Anzahl der Lithographieschritte vorteilhaft weiter reduziert.

25 In besonders bevorzugter Weise geht dabei die Gateelektrodenschicht aus einer im Wesentlichen konformen Abscheidung (conformal deposition) hervor. Das Vorstrukturieren der Gateelektrodenschicht umfasst dann das Vorsehen einer nichtkonformen Maske, durch die mindestens das auf den Urstegen aufliegende 30 Gateelektrodenmaterial abgedeckt wird während das Gateelektrodenmaterial im Bodenbereich der Gräben freigestellt bleibt. Die nichtkonforme Maske kann in bekannter Weise etwa durch eine nicht konforme sequentielle Gasphasenabscheidung von Al_2O_3 vorgesehen werden, wobei im Verlauf der einzelnen Zyklen der

sequentiellen Gasphasenabscheidung die Grabenwandungen der Gräben jeweils gerichtet von oben her bedeckt und die Zyklen der sequentiellen Gasphasenabscheidung jeweils vor einer Bedeckung des Bodenbereichs abgebrochen werden. Alternativ dazu

5 erfolgt das Vorsehen der nichtkonformen Maske durch eine plasmagestützte Gasphasenabscheidung (plasma enhanced chemical vapor deposition, PECVD) mit hoher Abscheidungsrat. Dabei wird ein Maskenmaterial auf den Urstegen bzw., im oberen Bereich der Gräben in einer höheren Schichtdicke abgeschieden
10 als im Bodenbereich der Gräben. Durch eine anschließende isotrope oder anisotrope Rückbildung wird das Maskenmaterial in der Folge teilweise zurückgebildet, so dass es aus den Bodenbereichen entfernt wird und auf den Urstegen und entlang der Grabenwandungen verbleibt.

15

Nach Aufbringen der Maske wird die Gateelektrodenschicht aus den nicht oder nur in geringer Dicke von der nichtkonformen Maske abgedeckten Bodenbereichen entfernt.

20 Nach dem Vorstrukturieren der Gateelektrodenschicht kann die nichtkonforme Maske auf der Gateelektrodenschicht verbleiben. Bevorzugt wird die nichtkonforme Maske aber nach dem Vorstrukturieren der Gateelektrodenschicht wieder entfernt.

25 Die Gatedielektrikumsschicht kann entweder durch Aufwachsen eines Oxids auf dem Halbleitermaterial des Urstegs oder mittels Abscheidung vorgesehen werden.

30 Weiterhin in bevorzugter Weise wird nach dem Vorstrukturieren der Gateelektrodenschicht und vor dem zweiten Lithographieschritt ein Trenndielektrikum auf die vorstrukturierte Gateelektrodenschicht bzw. die freigestellten Abschnitte der Gatedielektrikumsschicht oder des Substrats aufgebracht.

Das Einbringen der Kontaktgräben in die Urstege im Zuge des zweiten Lithographieschritts erfolgt durch eine maskierte, nichtselektive Ätzung. Der Durchmesser der Kontaktgräben wird dabei so gewählt, dass auch bei einer maximalen Abweichung

5 der zweiten Lithographiemaske bezogen auf die erste, die Urstege ausbildende Lithographiemaske, Transistorstege mit jeweils zwei durch die Kontaktgräben definierten Kopfenden erzeugt werden.

10 Das Zurückbilden der Gateelektrode erfolgt bevorzugt durch einen selektiv das Gateelektrodenmaterial zurückbildenden Ätzschritt. Gemäß einer bevorzugten Ausführungsform des erfundungsgemäßen Verfahrens wird als Gateelektrodenmaterial dotiertes Polysilizium vorgesehen. Das Gateelektrodenmaterial 15 kann dann in einfacher und bevorzugter Weise durch einen Ätzschritt in einem Cl-Plasma oder einem HBr-Plasma erfolgen.

Um eine unerwünschte Füllung der durch die Zurückbildung des Gateelektrodenmaterials entstandenen Freistellungen (divots) 20 mit einem leitfähigen Material zu verhindern, werden die Freistellungen mit einem Füllmaterial aus einem nichtleitfähigen Material aufgefüllt. Dazu wird etwa Siliziumnitrid mit einem Verfahren mit hoher Kantenbedeckung in einer Dicke abgeschieden, bei der die Freistellungen gerade sicher gefüllt 25 sind. Anschließend wird das Siliziumnitrid isotrop zurückgeätzt und der Ätzvorgang abgebrochen, nachdem in etwa die einfache Schichtdicke des abgeschiedenen Siliziumnitrids entfernt wurde.

30 Die Ausbildung der Source/Drain-Bereiche im Transistorsteg erfolgt auf bekannte Weise, etwa mittels Schrägimplantation oder einem temporären Einbringen eines dotierten Materials in die Kontaktgräben mit anschließender, gegebenenfalls maskierter, Ausdiffusion.

Vor einem Füllen der Kontaktgräben mit einem leitfähigen Material werden diese abschnittsweise durch eine Trennbeschichtung ausgekleidet. Im Bereich der Kopfenden des Transistorstegs bleiben die an die Kontaktgräben angrenzenden Oberflächen der Source/Drain-Bereiche unbeschichtet. Nach einem Füllen der Kontaktgräben mit einem leitfähigen Material ist dann jeweils genau ein Source/Drain-Bereich mit einer im Kontaktgraben vorgesehenen Kontaktstruktur verbunden.

5 Vor einem Füllen der Kontaktgräben mit einem leitfähigen Material werden diese abschnittsweise durch eine Trennbeschichtung ausgekleidet. Im Bereich der Kopfenden des Transistorstegs bleiben die an die Kontaktgräben angrenzenden Oberflächen der Source/Drain-Bereiche unbeschichtet. Nach einem Füllen der Kontaktgräben mit einem leitfähigen Material ist dann jeweils genau ein Source/Drain-Bereich mit einer im Kontaktgraben vorgesehenen Kontaktstruktur verbunden.

10 In bevorzugter Weise wird die Trennbeschichtung konform abgeschieden und anschließend einseitig strukturiert.

15 Ein einseitiges Strukturieren der Trennbeschichtung erfolgt beispielsweise, indem die Trennbeschichtung in der Ätzresistenz durch Schrägimplantation einseitig verändert wird und anschließend die Trennbeschichtung in einem Ätzschritt strukturiert wird, der selektiv zu den veränderten bzw. unveränderten Abschnitten der Trennbeschichtung ist.

20 Ein Abstand zwischen den Source/Drain-Bereichen im Transistorsteg definiert eine geometrische Kanallänge. Die Ausdehnung der Gateelektrode längs des Transistorstegs definiert eine steuerbare Kanallänge. Erfahrungsgemäß wird die geometrische Kanallänge größer oder gleich der steuerbaren Kanallänge vorgesehen, um eine Gate/Drain-Kapazität bzw. eine Gate/Source-Kapazität gering zu halten.

25 Ein mittels des erfundungsgemäßen Verfahrens hergestellter Stegfeldeffekttransistor unterscheidet sich in vorteilhafter Weise von bekannten Stegfeldeffekttransistoren.

30 Zunächst weist der erfundungsgemäße Stegfeldeffekttransistor in bekannter Weise einen auf einem Substrat ausgebildeten Transistorsteg auf, der sich zwischen zwei Kopfenden in einer

Längsrichtung erstreckt und dessen Längsseiten von einem Gatedielektrikum bedeckt sind. Mindestens abschnittsweise ist auf dem Gatedielektrikum eine Gateelektrode vorgesehen, die sich in Längsrichtung über eine steuerbare Kanallänge er-

5 streckt. Ebenfalls in bekannter Weise sind an den beiden Kopfenden des Transistorstegs des erfahrungsgemäßen Stegfeldeffekttransistors Source/Drain-Bereiche ausgebildet. Zwischen den beiden Source/Drain-Bereichen ist über eine geometrische Kanallänge ein aktives Gebiet ausgebildet. Die Source/Drain-Bereiche schließen an jeweils eine korrespondierende Kontaktstruktur an.

Der erfahrungsgemäße Stegfeldeffekttransistor weist nun Gatespacerstrukturen auf, die jeweils zwischen der Gateelektrode, dem Gatedielektrikum, einem Trenndielektrikum und den Kontaktstrukturen angeordnet sind und deren Ausdehnung in der Längsrichtung des Transistorstegs in Bezug zu den Kopfenden lithographieunabhängig steuerbar ist. Der Abstand der Gateelektrode zu den Kontaktstrukturen ist beim erfahrungsgemäßen Stegfeldeffekttransistor daher gegenüber bekannten Stegfeldeffekttransistoren in vorteilhafter Weise deutlich reduziert.

25 In bevorzugter Weise ist die geometrische Kanallänge des erfahrungsgemäßen Stegfeldeffekttransistors größer oder gleich der steuerbaren Kanallänge.

Nachfolgend wird die Erfindung anhand von Figuren näher erläutert, wobei korrespondierenden Komponenten und Bauteilen gleiche Bezugszeichen zugeordnet sind. Es zeigen:

30 Fig. 1 eine vereinfachte, schematische, perspektivische Darstellung einer bekannten Stegfeldeffekttransistorstruktur,

Fig. 2 einen schematischen Querschnitt senkrecht zu drei nebeneinander angeordneten erfahrungsgemäßen Stegfeldeffekttransistoren,

5 Fig. 3 eine Draufsicht und einen Querschnitt in Längsrichtung durch einen erfahrungsgemäßen Stegfeldeffekttransistor in einer ersten Phase eines Ausführungsbeispiels des erfahrungsgemäßen Verfahrens,

10 Fig. 4 eine Draufsicht und einen Querschnitt in Längsrichtung durch einen erfahrungsgemäßen Stegfeldeffekttransistor in einer zweiten Phase des Ausführungsbeispiels des erfahrungsgemäßen Verfahrens,

15 Fig. 5 eine Draufsicht und einen Querschnitt in Längsrichtung durch einen erfahrungsgemäßen Stegfeldeffekttransistor in einer dritten Phase des Ausführungsbeispiels des erfahrungsgemäßen Verfahrens,

20 Fig. 6 eine Draufsicht und einen Querschnitt in Längsrichtung durch einen erfahrungsgemäßen Stegfeldeffekttransistor in einer vierten Phase des Ausführungsbeispiels des erfahrungsgemäßen Verfahrens und

25 Fig. 7 eine Draufsicht und einen Querschnitt in Längsrichtung durch einen erfahrungsgemäßen Stegfeldeffekttransistor in einer fünften Phase des Ausführungsbeispiels des erfahrungsgemäßen Verfahrens,

30 Fig. 8 eine schematische Darstellung eines erfahrungsgemäßen Stegfeldeffekttransistors,

Fig. 9 eine schematische Darstellung eines herkömmlichen Stegfeldeffekttransistors und

Fig. 10 einen schematischen Vergleich zwischen einer Anordnung mit erfahrungsgemäßen Stegfeldeffekttransistoren und einer Anordnung mit Stegfeldeffekttransistoren bekannter Art.

5

Die Fig. 1 wurde bereits eingangs erläutert.

In der Fig. 2 ist ein Querschnitt durch drei nebeneinander angeordnete Urstege 2' für gemäß dem erfahrungsgemäßen Verfahren hergestellte Stegfeldeffekttransistoren nach dem Aufbringen eines Trenndielelektrikums 5 gezeigt. Dabei wurden zunächst durch einen ersten Lithographieschritt nebeneinander angeordnete und parallel verlaufende Urstege 2' auf einem Halbleitersubstrat 1 ausgebildet. Im vorliegenden Ausführungsbeispiel ist das Material der Urstege 2' und das des Halbleitersubstrats 1 monokristallines Silizium.

15

Auf die Urstege 2' wurde eine konforme Gatedielelektrikumschicht 4' abgeschieden bzw. aufgewachsen. Auf die Gatedielelektrikumsschicht 4', die mindestens die Urstege 2' bedeckt, wurde ein Gateelektrodenmaterial abgeschieden. Das Gateelektrodenmaterial bildet dabei zunächst eine unstrukturierte Gateelektrodenschicht. Auf die Gateelektrodenschicht wird eine nicht dargestellte, nichtkonforme Maske aufgebracht. Durch die nichtkonforme Maske (nonconformal mask) werden im Bodenbereich von zwischen den Urstegen 2' ausgebildeten Gräben 31, Abschnitte der Gateelektrodenschicht freigestellt, die in der Folge durch einen Ätzschritt entfernt werden. Die Gateelektrodenschicht wird auf diese Weise vorstrukturiert. Abschnitte der vorstrukturierten Gateelektrodenschicht 41 sind voneinander isoliert und jeweils einem Ursteg 2' zugeordnet. Über die vorstrukturierte Gateelektrodenschicht 41 wird ein Trenndielelektrikum 5 aufgebracht.

Die Fig. 3 b und Fig. 3 a zeigen den Zustand nach dem Aufbringen des Trenndielelektrikums 5 und dem Einbringen von Kontaktgräben 32 in einem Querschnitt längs eines Transistorstegs 2 sowie in einer Draufsicht auf den Transistorsteg 2.

5 Der Transistorsteg 2 geht dabei aus einem Ursteg 2' hervor, in dem die Kontaktgräben 32 mittels eines zweiten Lithographieschrittes eingebracht wurden. Die Kontaktgräben 32 werden dabei im Wesentlichen mit derselben Tiefe vorgesehen, wie die Gräben 31 zwischen jeweils den nebeneinander angeordneten
10 Transistorstegen 2. Die Kontaktgräben 32 werden durch einen nichtselektiven Ätzbildschritt eingebracht und strukturieren das Trenndielelektrikum 5, die vorstrukturierte Gateelektroden-
schicht 41, die Gatedielektrikumsschicht 4' und den Ursteg 2' in einer Längsausdehnung des Urstegs 2'. Dabei entsteht aus
15 dem Ursteg 2' der in der Länge durch den Abstand der Kontaktgräben 32 definierte Transistorsteg 2 und aus der Gatedielektrikumsschicht 4' das Gatedielektrikum 4.

20 In der Fig. 4 ist der Zustand eines gemäß dem erfindungsgemäßen Verfahren hergestellten Stegfeldeffekttransistors nach dem Zurückbilden des Gateelektrodenmaterials durch eine selektive, isotrope Ätzung zu einer Gateelektrode 42 dargestellt. Durch die Zurückbildung des Gateelektrodenmaterials sind von den Kontaktgräben 32 her zwischen dem Trenndielektrikum 5 und dem Gatedielektrikum 4 Freistellungen 70 entstanden. Die Tiefe der Freistellungen 70 wird durch die Prozessparameter des Ätzbildschrittes, nicht aber durch einen Lithographieschritt festgelegt. Eine Ausdehnung der Gateelektrode 42 längs des Transistorsteges 2 ist daher sehr genau einzustellen. Die Ausbildung der Gateelektrode 42 erfolgt symmetrisch zu den Kontaktgräben 32. Zur Ausbildung der Gateelektrode 42 ist kein eigener Lithographieschritt notwendig. Der Abstand der Kontaktgräben 32 zueinander kann daher unabhängig
25
30

von Lithographietoleranzen in Abhängigkeit einer benötigten Kanallänge minimiert werden.

In der Fig. 5 ist der Zustand des erfindungsgemäß herstellten Stegfeldeffekttransistors nach dem Füllen der Freistellungen 70 mit einem Isolatormaterial dargestellt, wobei das Isolatormaterial Gatespacerstrukturen 71 ausbildet (divot fill). Das Füllen der Freistellungen 70 erfolgt etwa mittels einer konformen Abscheidung und einem anschließenden isotropen Rückätzen des Isolatormaterials.

Durch Implantation erfolgt anschließend die Ausbildung von Source/Drain-Bereichen 8 an den Kopfenden des Transistorstegs 2. Dabei erstrecken sich die Source/Drain-Bereiche 8 maximal bis zu einer mit der Gateelektrode 42 korrespondierenden Tiefe von den Kopfenden her in den Transistorsteg 2 hinein. Der Zustand eines erfindungsgemäß hergestellten Stegtransistors nach der Ausbildung der Source/Drain-Bereiche 8 ist in der Figur 6 dargestellt. Nach dem Ausbilden der Source/Drain-Bereiche 8 werden die Kontaktgräben 32 abschnittsweise mit einer Trennbeschichtung 9 ausgekleidet. Dies erfolgt beispielsweise durch eine konforme Abscheidung der Trennbeschichtung 9 und eine anschließende einseitige Strukturierung. Die Trennbeschichtung 9 wird in einer Weise in die Kontaktgräben 32 eingebracht, dass wesentliche Abschnitte mindestens einer der anschließenden Source/Drain-Bereiche 8 nicht bedeckt sind. Schließlich werden die Kontaktgräben 32 mit einem leitfähigen Kontaktmaterial gefüllt, so dass in den Kontaktgräben 32 Teilbereiche von Kontaktstrukturen 91 formiert werden. Den Zustand eines erfindungsgemäß hergestellten Stegfeldeffekttransistors nach dem Einbringen des leitfähigen Kontaktmaterials in die Kontaktgräben 32 zeigen die Zeichnungen der Fig. 7.

Im Vergleich der Fig. 8 mit der Fig. 9 wird die erfindungsge-
mäße Optimierung des Abstands zwischen der Gateelektrode 42
und den Source/Drain-Bereichen 8 bzw. den Kontaktstrukturen
91 der Source/Drain-Bereiche 8 deutlich. In der Fig. 8 ist
5 ein erfindungsgemäßer Stegfeldeffekttransistor mit den für
die nachfolgenden Erläuterungen wesentlichen Komponenten
stark vereinfacht dargestellt. Ein zwischen Kontaktstrukturen
91 angeordneter Transistorsteg 2 wird auf drei Seiten von ei-
10 ner Gateelektrode 42 umhüllt. Ein Abstand A zwischen den Kon-
taktstrukturen 91 wird durch eine die Kontaktstrukturen 91
definierende erste lithographische Maske vorgegeben. Der Ab-
stand a zwischen der Gateelektrode 42 und den Kontaktstruktu-
ren 91 wird lithographieunabhängig durch die Prozessführung
eines Ätzschrittes bestimmt. Die Ausdehnung der Gateelektrode
15 42 in Längsrichtung des Transistorstegs 2 bestimmt eine steu-
erbare Kanallänge cdl des erfindungsgemäßen Stegfeldeffekt-
transistors.

Dagegen ist die Gateelektrode 42 eines in Fig. 9 dargestell-
20 ten herkömmlichen Stegfeldeffekttransistors in ihrer Ausdeh-
nung längs dem Transistorsteg 2 durch eine weitere, die Ga-
teelektrode 42 definierende lithographische Maske bestimmt.
Fertigungsbedingt lassen sich die beiden lithographischen
25 Masken nicht in idealer Weise gegeneinander justieren, so
dass der Abstand A' zwischen den Kontaktstrukturen 91 bei ei-
ner vorgegebenen steuerbaren Kanallänge cdl so zu wählen ist,
dass auch unter ungünstigsten Fehlerbedingungen, also einem
maximalen lithographischen Versatz Δl , der Mindestabstand a
30 zwischen der Gateelektrode 42 und den Kontaktstrukturen 91
gewahrt bleibt.

Um in einem Produktionsumfeld für eine Massenfertigung von
Halbleitereinrichtungen sichere Produktsbedingungen sicherzu-
stellen, sind daher Maskenlayouts für lithographische Verfah-

ren in der Regel so vorzusehen, dass ein maximaler lithographischer Versatz Δl von einem 0,4fachen der minimalen Strukturgröße F zweier lithographischer Masken des photolithographischen Verfahrens tolerierbar ist.

5

Bei gleicher steuerbarer Kanallänge cdl muss daher lithographiebedingt der Abstand A' zwischen den Kontaktstrukturen 91 der Fig. 9 deutlich größer vorgesehen werden als der Abstand A zwischen den Kontaktstrukturen 91 der Fig. 8.

10

Bei Kanallängen von weniger als 50 nm ergibt sich erfindungsgemäß bei derzeit für diese Strukturgrößen üblichen Lithographietechniken für erfindungsgemäße Stegfeldeffekttransistoren eine gegenüber bekannten Stegfeldeffekttransistoren um etwa 15 den Faktor 1,4 höhere maximale Packungsdichte, wenn als Abstand der Kontaktstrukturen bzw. der Stegfeldeffekttransistoren zueinander jeweils etwa die minimale Strukturgröße F gewählt wird.

20 Dies trifft insbesondere bei der Verwendung der Stegfeldeffekttransistoren als Auswahltransistoren von 1T1C-Speicherzellen zu. Die für diese Art von Speicherzellen üblichen Layouts (z.B. das Checkerboard-Layout) lassen sich mit dem erfindungsgemäßen Stegfeldeffekttransistoren in gleicher Weise 25 in höherer Packungsdichte realisieren. Dabei wird etwa der Speicherkondensator der Speicherzelle als Grabenkondensator (trench capacitor) unterhalb jeweils einer der Kontaktgräben des Stegfeldeffekttransistors ausgebildet und mit dessen Source/Drain-Bereich verbunden, während eine dem zweiten 30 Source/Drain-Bereich des Stegfeldeffekttransistors zugeordnete Kontaktstruktur eine Verbindung zu einer Datenleitung (bit line) vermittelt.

In der Fig. 10 ist oben eine dichtest mögliche Anordnung zweier in Längsrichtung benachbarter Stegfeldeffekttransistoren bekannter Art und unten die entsprechende Anordnung zweier erfindungsgemäßer Stegfeldeffekttransistoren mit gleicher steuerbaren Kanallänge cdl jeweils in Bezug zu einer minimalen Strukturgröße F gezeigt. Die Stegfeldeffekttransistoren, von denen jeweils Source/Drain-Bereiche 8, Gatespacerstrukturen 71 und Gateelektrode 42 schematisch dargestellt sind, sind jeweils zwischen zwei Kontaktstrukturen 91 angeordnet.

Bei gleichem Abstand der Stegfeldeffekttransistoren zueinander ermöglichen die erfindungsgemäßen Stegfeldeffekttransistoren eine um etwa 30% dichtere Anordnung, da die Kontaktstrukturen 91 erfindungsgemäß im Abstand etwa der Strukturgröße F angeordnet werden können.

Patentansprüche

1. Verfahren zur Herstellung von Stegfeldeffekttransistoren, wobei

5 - auf einem Substrat (1) mittels eines ersten Lithographieschrittes mindestens ein Ursteg (2') aus einem Halbleitermaterial vorgesehen wird,

- auf den Längsseiten des Urstegs (2') eine Gatedielektrikumsschicht (4) vorgesehen wird,

10 - auf der Gatedielektrikumsschicht (4) eine Gateelektroden- schicht (40) aus einem leitfähigen Gateelektrodenmaterial angeordnet wird,

- mittels eines zweiten Lithographieschrittes den Ursteg (2') in einer Längsrichtung strukturierende Kontaktgräben (32) vorgesehen werden, so dass aus dem Ursteg (2') mindestens 15 ein Transistorsteg (2) mit einem ersten und im Abstand einer Steglänge dazu einem zweiten Kopfende und aus der Gateelektrodenschicht (40) eine dem Transistorsteg (2) zugeordnete Gateelektrode (42) hervorgeht,

20 - die Gateelektrode (42) von beiden Kopfenden her bis auf eine steuerbare Kanallänge (cdl) zurückgebildet wird,

- im Transistorsteg (2) von den beiden Kopfenden her jeweils ein Source/Drain-Bereich (8) ausgebildet wird und

25 - die Source/Drain-Bereiche (8) mit Source/Drain-Kontakt- strukturen (91) aus einem leitfähigem Kontaktmaterial verbunden werden.

2. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t ,

30 dass mittels des ersten Lithographieschritts eine Mehrzahl nebeneinander angeordneter und parallel verlaufender Urstege (2') ausgebildet werden und vor der Ausbildung der Gateelektroden (42) die Gateelektrodenschicht (40) vorstrukturiert wird, wobei die Gateelektrodenschicht (40) jeweils in einem

Bodenbereich von zwischen den Urstegen (2') gebildeten Gräben (31) in voneinander separierte und jeweils einem der Ursteg (2') zugeordnete Abschnitte unterteilt wird.

5 3. Verfahren nach Anspruch 2,
dadurch gekennzeichnet,
dass die Gateelektrodenschicht (40) im Wesentlichen aus einer
konformen Abscheidung hervorgeht und das Vorstrukturieren der
Gateelektrodenschicht (40) folgende Schritte umfasst:
10 - Vorsehen einer nichtkonformen Maske, durch die mindestens
das auf den Urstegen (2') aufliegende Gateelektrodenmaterial
abgedeckt wird und mindestens jeweils der Bodenbereich der
Gräben (31) freigestellt bleibt und
- Entfernen von Abschnitten der Gateelektrodenschicht (40)
15 aus den von der Maske nicht abgedeckten Bodenbereichen.

4. Verfahren nach Anspruch 3,
dadurch gekennzeichnet,
dass das Vorsehen der nichtkonformen Maske folgende Schritte
20 umfasst:

- nicht konformes Abscheiden eines Maskenmaterials, wobei das
Maskenmaterial jeweils im Bodenbereich der Gräben (31) mit
einer geringeren Schichtdicke abgeschieden wird als auf den
Urstegen (2') und
- isotropes oder anisotropes Rückbilden des Maskenmaterials,
so dass das Maskenmaterial jeweils aus dem Bodenbereich der
Gräben (31) entfernt wird und auf den Urstegen (2') ver-
bleibt.

25 5. Verfahren nach einem der Anspruch 3 oder 4,
dadurch gekennzeichnet,
dass die nichtkonforme Maske nach dem Vorstrukturieren der
Gateelektrodenschicht (40) entfernt wird.

6. Verfahren nach einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet,
dass nach dem Vorstrukturieren der Gateelektrodenschicht (40)
und vor dem zweiten Lithographieschritt ein erstes Trenndielektrikum (5) auf die vorstrukturierte Gateelektrodenschicht
aufgebracht wird.

7. Verfahren nach einem der Ansprüche 1 bis 6,
dadurch gekennzeichnet,
dass das Einbringen der Kontaktgräben (32) im Zuge des zweiten Lithographieschritts durch einen nichtselektiven Ätzschritt erfolgt.

8. Verfahren nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet,
dass das Zurückbilden der Gateelektrode (42) einen selektiv das Gateelektrodenmaterial zurückbildenden Ätzschritt beinhaltet.

9. Verfahren nach Anspruch 8,
dadurch gekennzeichnet,
dass als Gateelektrodenmaterial dotiertes Polysilizium vorgesehen wird.

10. Verfahren nach Anspruch 9,
dadurch gekennzeichnet,
dass das Gateelektrodenmaterial durch einen Ätzschritt in einem Cl-Plasma oder einem HBr-Plasma zurückgebildet wird.

11. Verfahren nach einem der Ansprüche 8 bis 10,
dadurch gekennzeichnet,
dass durch die Zurückbildung des Gateelektrodenmaterials entstandene Freistellungen (70) mit einem Füllmaterial aufgefüllt werden.

12. Verfahren nach einem der Ansprüche 1 bis 11,
dadurch gekennzeichnet,
dass die Source/Drain-Bereiche (8) im Transistorsteg (2) mittels Implantation erzeugt werden.

5

13. Verfahren nach einem der Ansprüche 2 bis 12,
dadurch gekennzeichnet,
dass die Kontaktgräben (32) mindestens teilweise durch eine Trennbeschichtung (9) ausgekleidet werden, wobei mittels der Trennbeschichtung (9) mit Ausnahme jeweils eines an einen der Kontaktgräben (32) anschließenden Source/Drain-Bereichs (8) mindestens alle den jeweiligen Kontaktgräben (32) anschließenden leitfähigen Abschnitte abgedeckt werden.

15 14. Verfahren nach Anspruch 13,
dadurch gekennzeichnet,
dass die Trennbeschichtung (9) konform aufgebracht und anschließend einseitig strukturiert wird.

20 15. Verfahren nach Anspruch 14,
dadurch gekennzeichnet,
dass die Trennbeschichtung (9) durch Schrägimplantation einseitig in ihrer Ätzresistenz verändert und anschließend eine bezogen auf veränderte und unveränderte Abschnitte der Trennbeschichtung (9) selektive Ätzung durchgeführt wird.

25 16. Verfahren nach einem der Ansprüche 1 bis 15,
dadurch gekennzeichnet,
dass die Kontaktgräben (32) mit leitfähigem Material gefüllt werden.

30 17. Verfahren nach einem der Ansprüche 1 bis 16,
dadurch gekennzeichnet,

dass eine geometrische Kanallänge (gdl) eines zwischen den beiden Source/Drain-Bereichen (8) gebildeten Kanalbereichs größer oder gleich der steuerbaren Kanallänge (cdl) vorgesehen wird.

5

18. Stegfeldeffekttransistor mit einem auf einem Substrat (1) ausgebildeten und sich zwischen zwei Kopfenden in einer Längsrichtung erstreckenden Transistorsteg (2), wobei

- mindestens zwei der Längsseiten des Transistorstegs (2) von einem Gatedielektrikum (4) bedeckt sind,
- auf dem Gatedielektrikum (4) mindestens abschnittsweise eine sich in der Längsrichtung über eine steuerbare Kanallänge (cdl) erstreckende Gateelektrode (42) vorgesehen ist,
- an den beiden Kopfenden des Transistorstegs (2) jeweils ein Source/Drain-Bereich (8) und zwischen den beiden Source/Drain-Bereichen (8) ein Kanalbereich mit einer geometrischen Kanallänge (gdl) ausgebildet ist und
- die Source/Drain-Bereiche (8) jeweils an Kontaktstrukturen (91) angeschlossen sind,

15

gekennzeichnet durch von jeweils der Gateelektrode (42), dem Gatedielektrikum (4), einem Trenndielektrikum (5) und einer der Kontaktstrukturen (91) begrenzte Gatespacerstrukturen (71), deren Ausdehnung in der Längsrichtung des Transistorstegs (2) in Bezug zu den

25 Kontaktstrukturen (91) lithographieunabhängig steuerbar ist.

19. Stegfeldeffekttransistoren nach Anspruch 18,

dadurch gekennzeichnet,

dass die geometrische Kanallänge (gdl) größer oder gleich der steuerbaren Kanallänge (cdl) ist.

30

Zusammenfassung

Stegfeldeffekttransistor (FinFet) und Verfahren zur Herstellung von Stegfeldeffekttransistoren

5

Ein Transistorsteg (2) eines Stegfeldeffekttransistors ist zwischen zwei Kontaktstrukturen (91) angeordnet. Eine den Transistorsteg (2) auf drei Seiten einhüllende Gateelektrode (42) wird vor der Ausbildung der Kontaktstrukturen (91) von die Kontaktstrukturen (91) definierenden Kontaktgräben (32) her durch einen nichtlithographischen Prozess zurückgebildet. Ein Abstand a zwischen der Gateelektrode (42) und den Kontaktstrukturen (91) ist keinen der Überlagerung zweier unabhängiger lithographischer Masken geschuldeten Toleranzen unterworfen. Für eine gegebene Ausdehnung (cdl) der Gateelektrode (42) längs des Transistorstegs (2) lässt sich ein Abstand A zwischen den Kontaktstrukturen (91) minimieren und dadurch die Packungsdichte einer Mehrzahl von Stegfeldeffekttransistoren auf einem Substrat (1) gegenüber herkömmlichen Konzepten deutlich erhöhen.

(Fig. 7a)

25

Bezugszeichenliste

1	Substrat
2	Transistorsteg
5 2'	Ursteg
31	Graben
32	Kontaktgraben
4	Gatedielektrikum
4'	Gatedielektrikumsschicht
20 40	Gateelektrodenschicht
41	vorstrukturierte Gateelektrodenschicht
42	Gateelektrode
5	Trenndielektrikum
70	Freistellung
15 71	Gatespacerstruktur
8	Source/Drain-Bereich
9	Trennbeschichtung
91	Kontaktstruktur
cdl	steuerbare Kanallänge
20 gdl	geometrische Kanallänge
SUB	Substrat
A	Kontaktabstand
A'	Kontaktabstand
a	minimaler Abstand Gateelektrode/Kontaktstruktur
25 Δl	maximaler lithographischer Versatz
S/D	Source/Drain-Bereich
G	Gate
F	Steg
Ch	Bodybereich

200250306

1/9

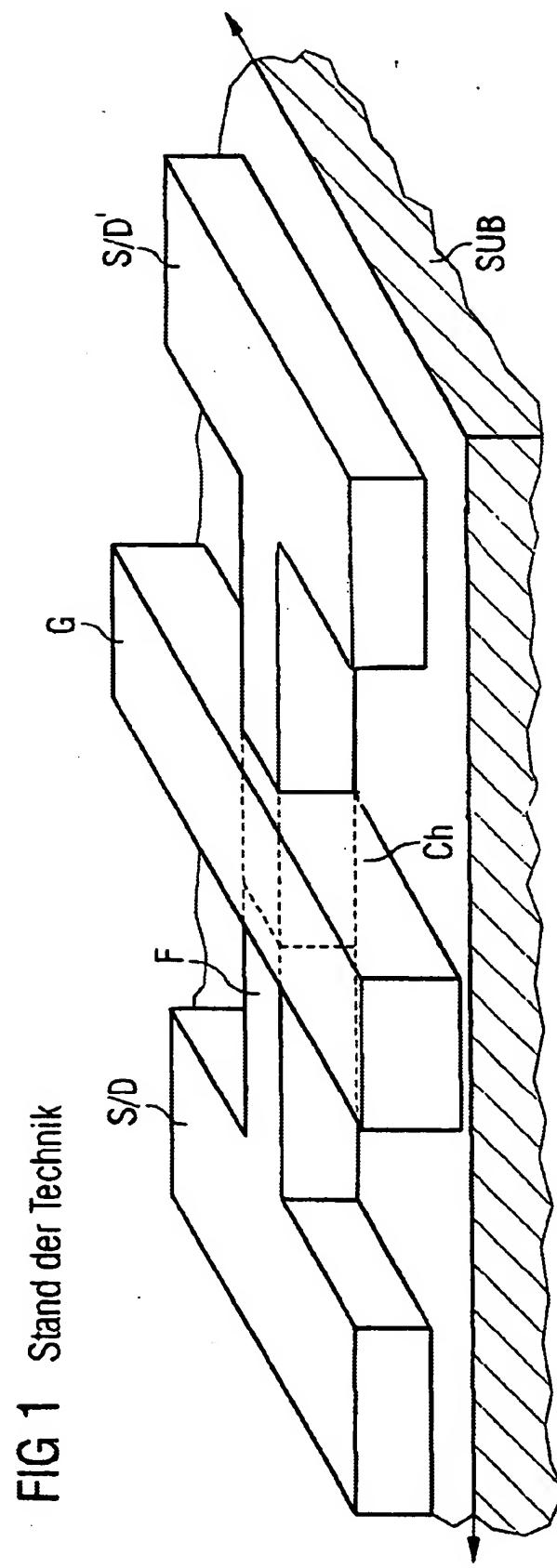


FIG 1 Stand der Technik

FIG 2

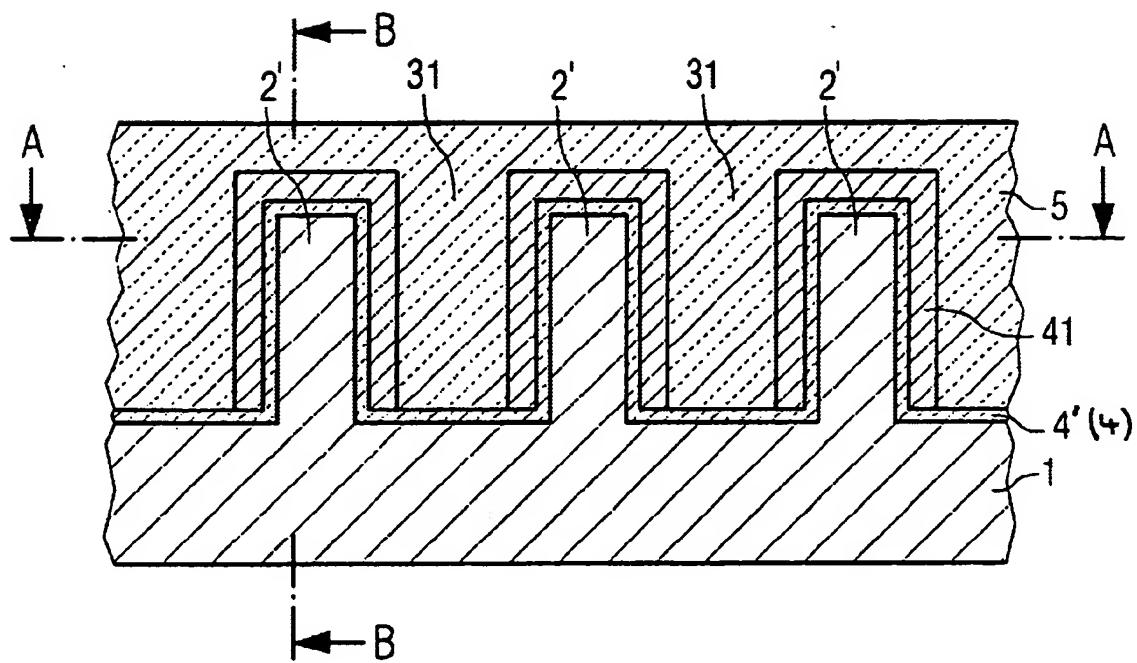


FIG 3A

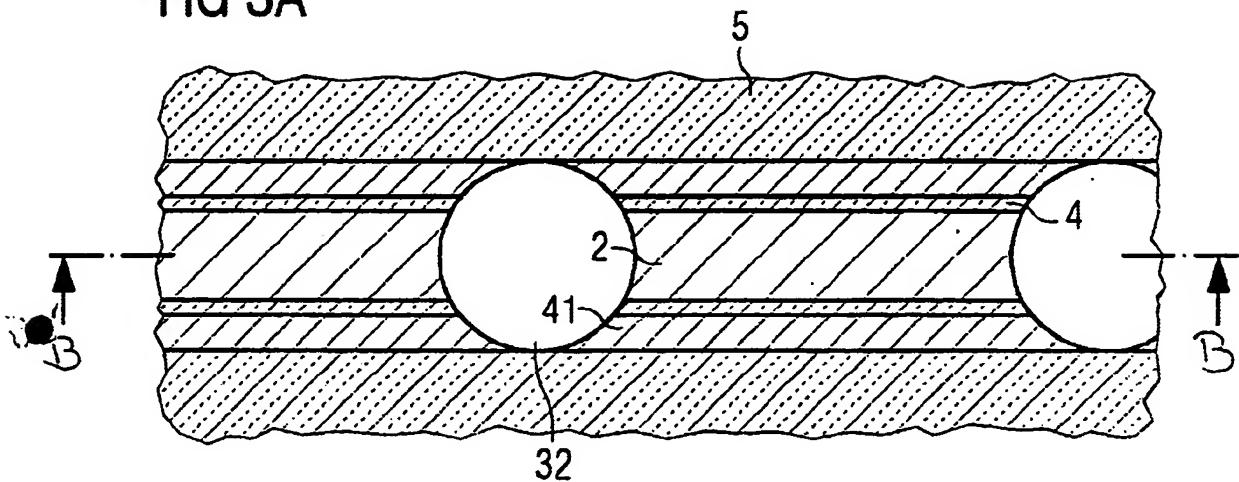


FIG 3B

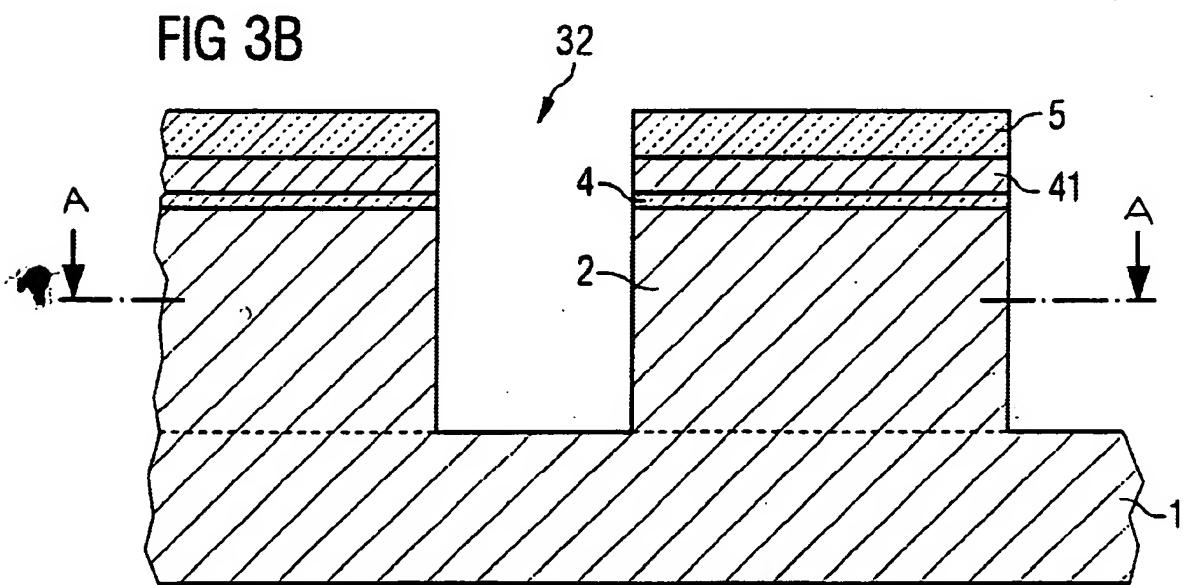


FIG 4A

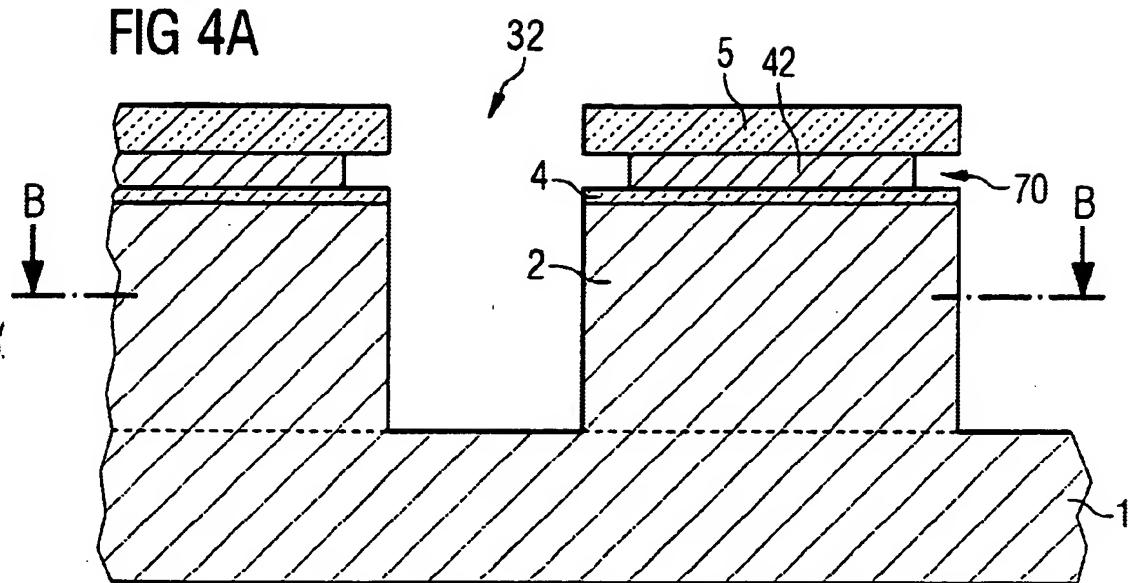


FIG 4B

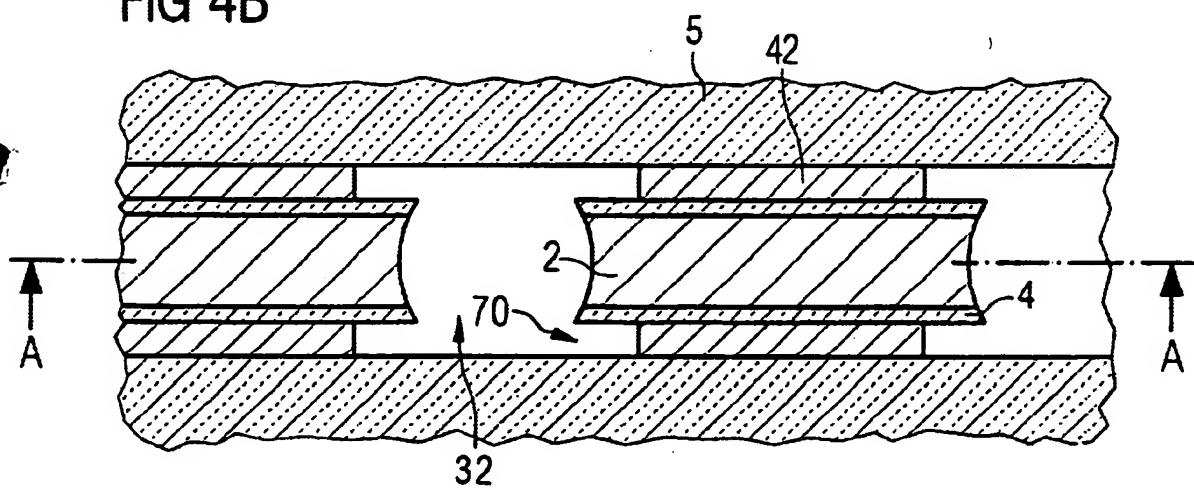


FIG 5A

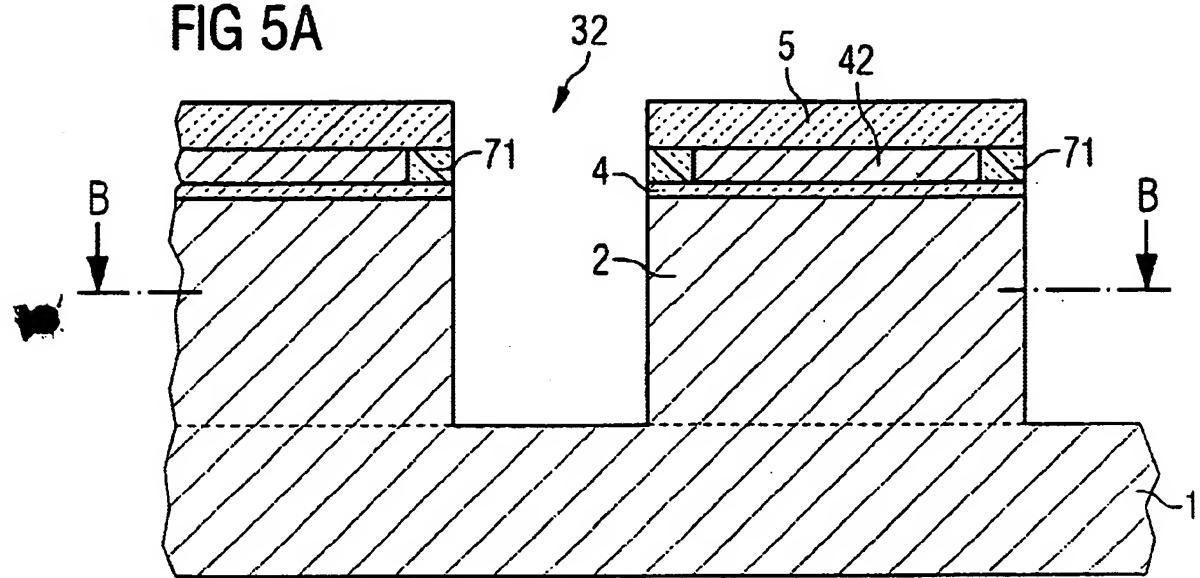


FIG 5B

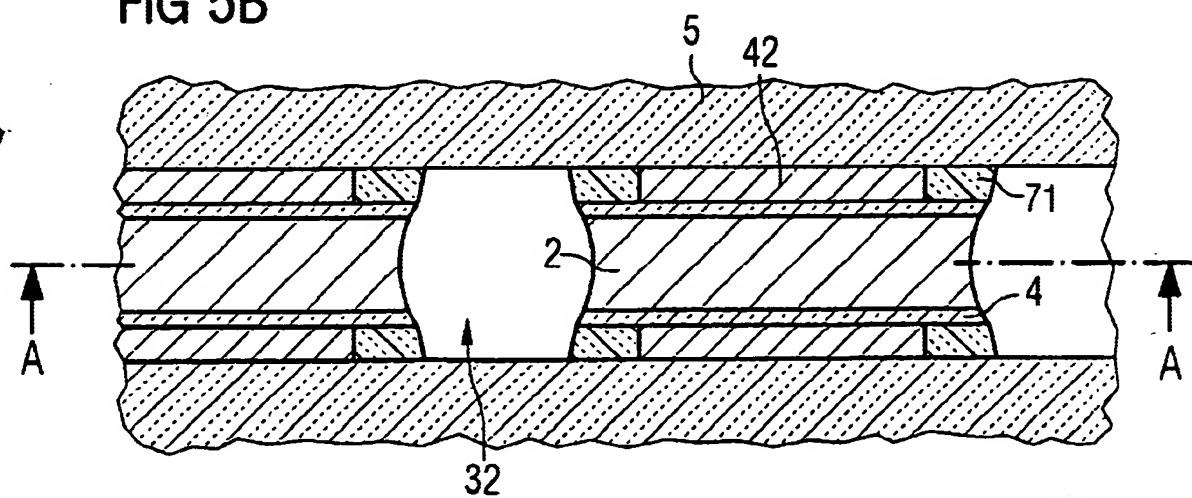


FIG 6A

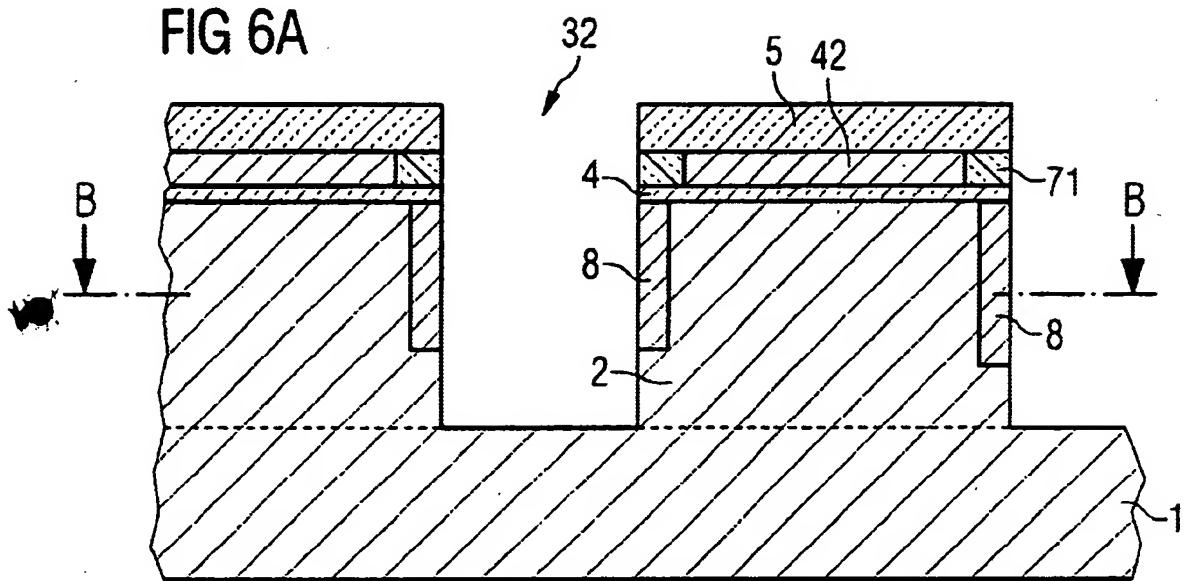
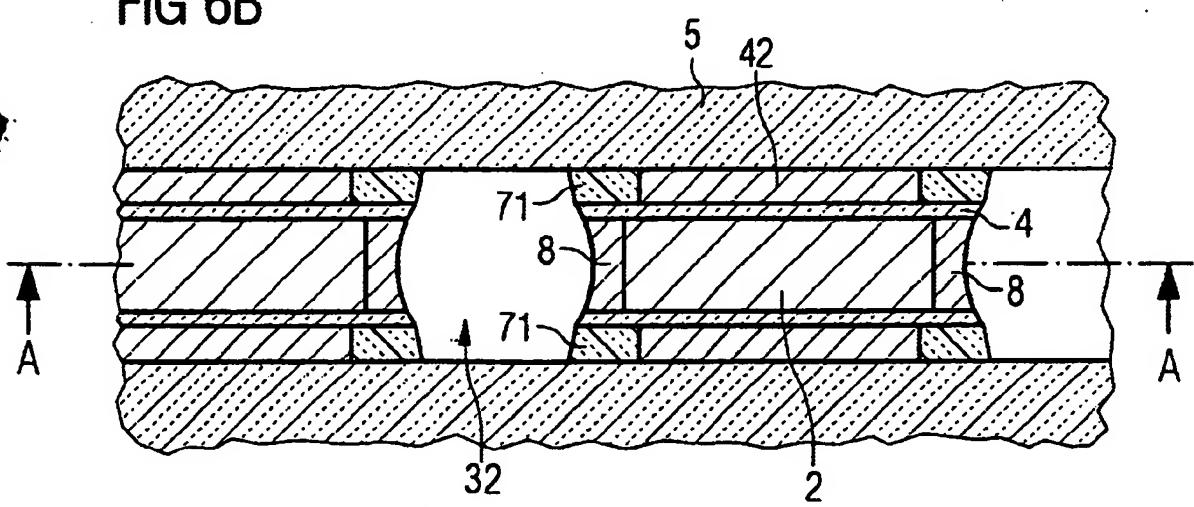


FIG 6B



200250306

7/9

FIG 7A

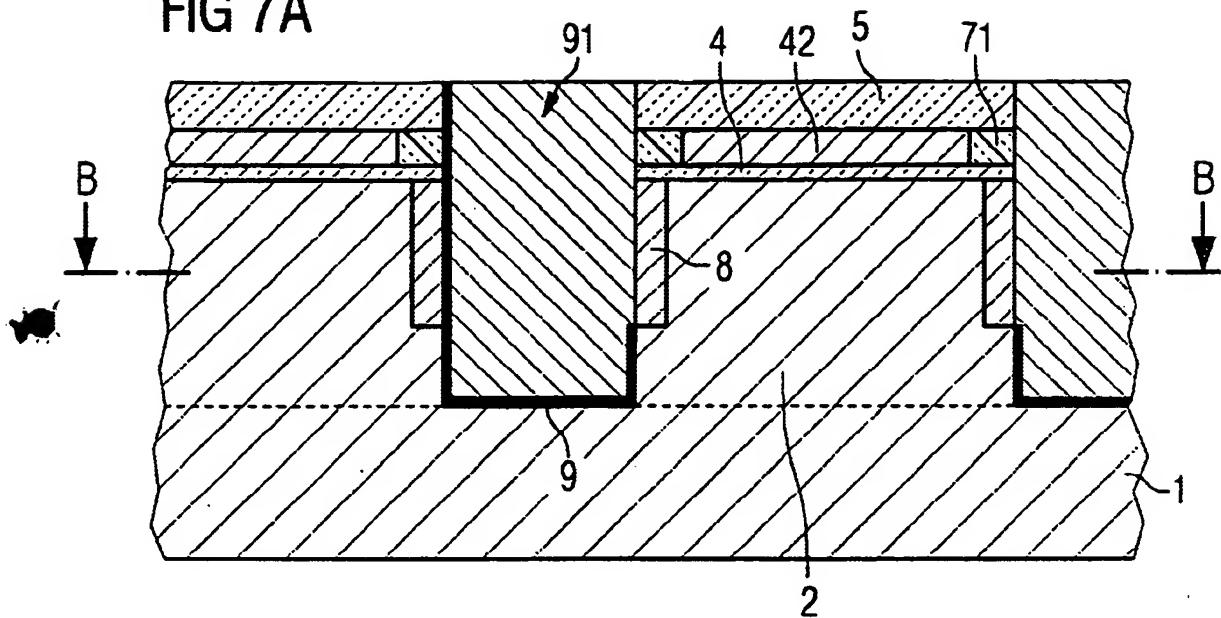


FIG 7B

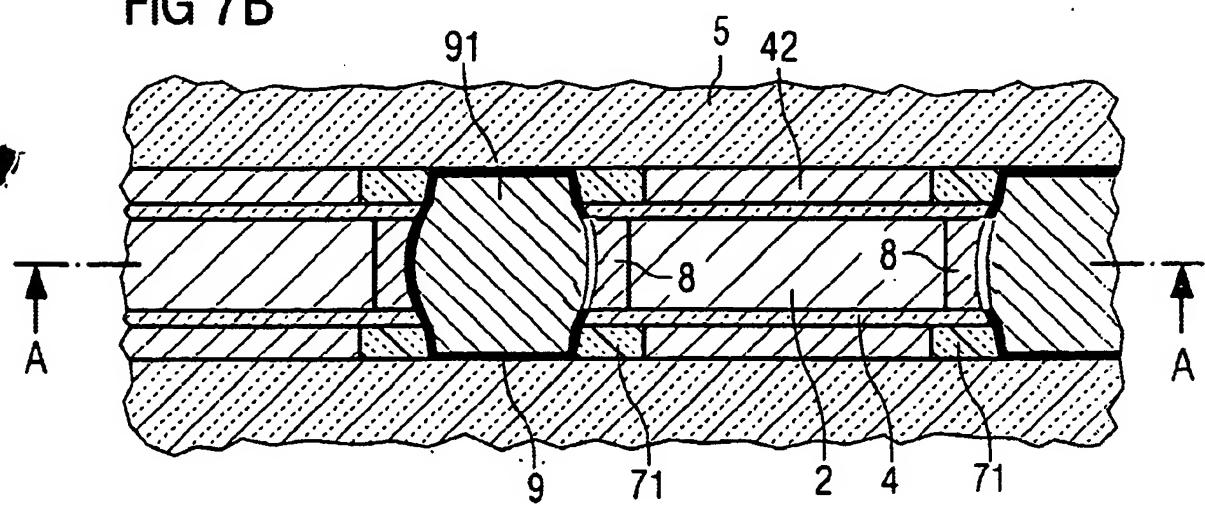


FIG 8

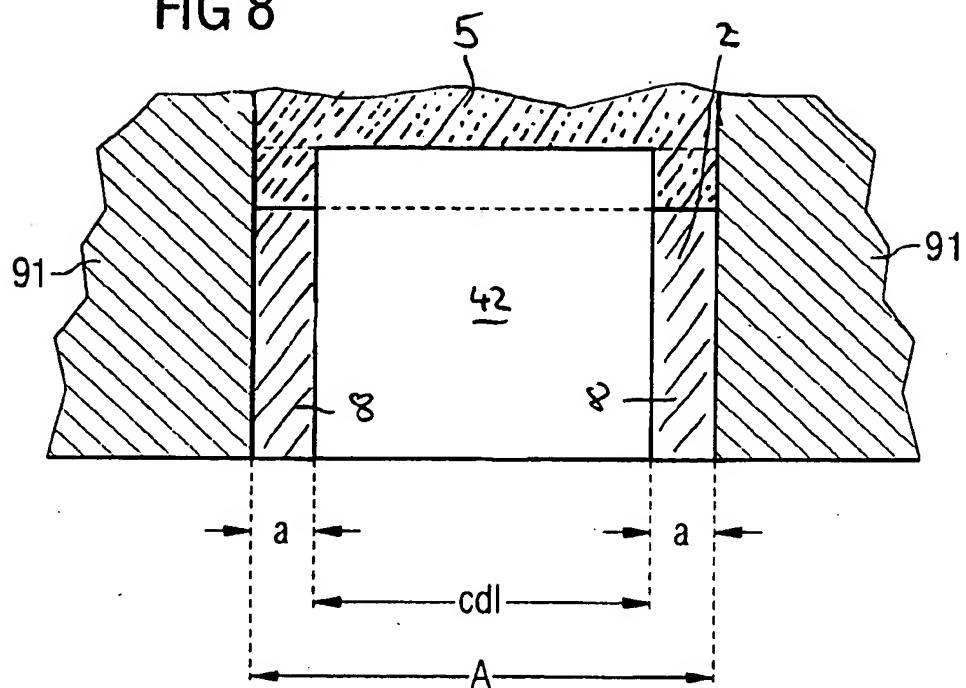
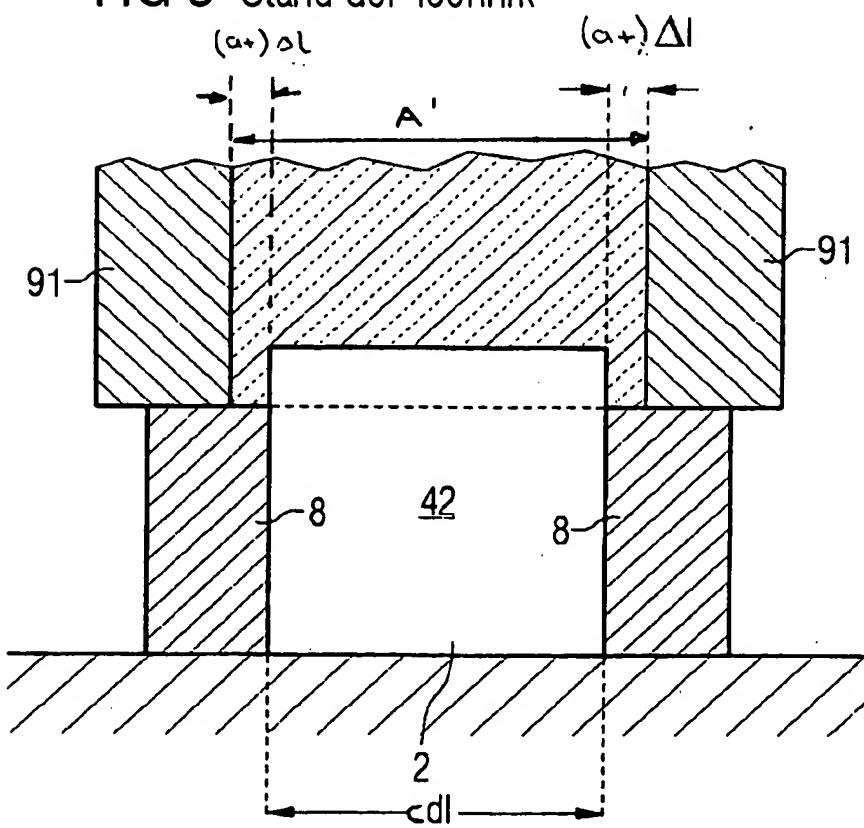
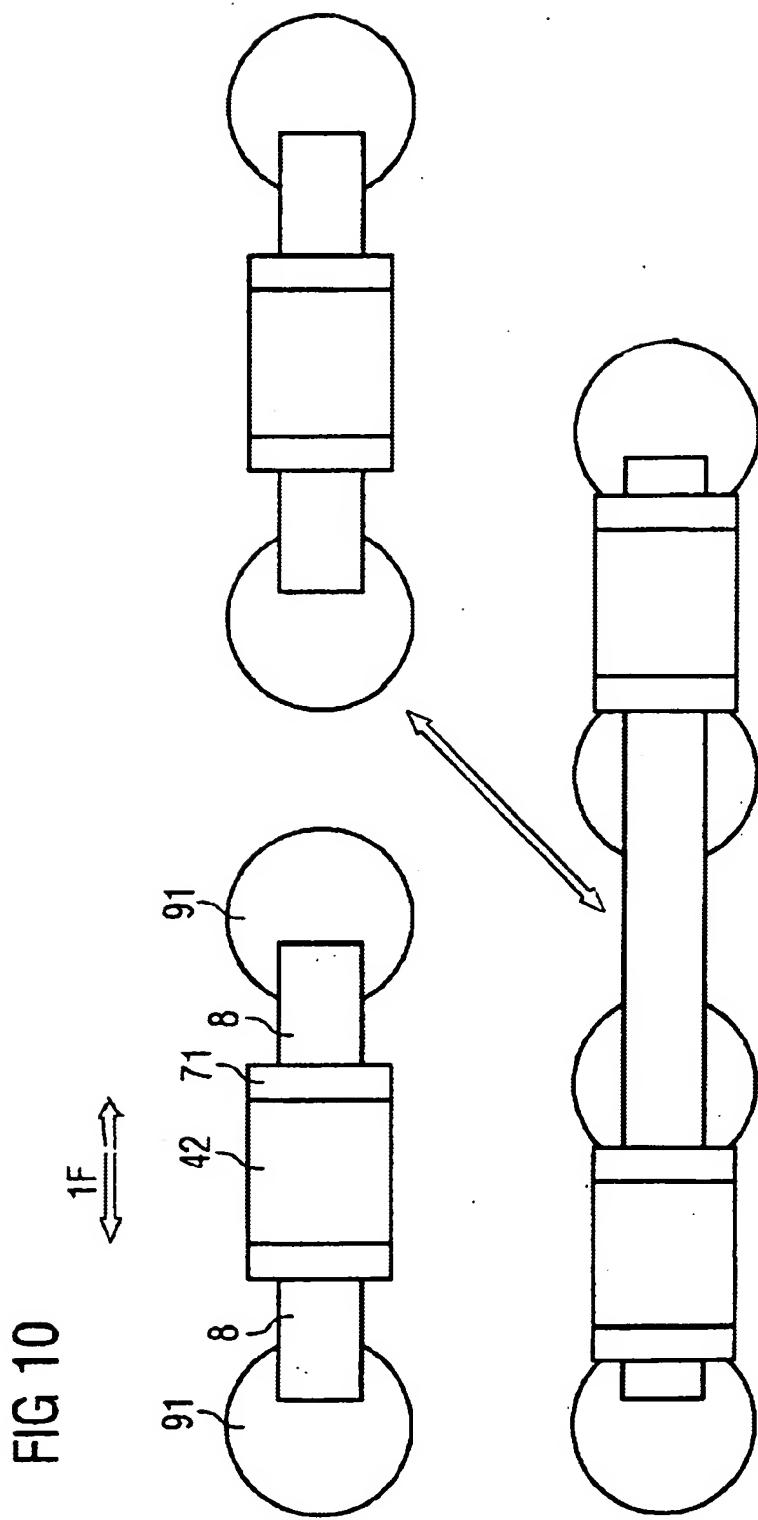


FIG 9 Stand der Technik



200250306

9/9



Figur für Zusammenfassung

FIG 7A

